

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
13 March 2003 (13.03.2003)

PCT

(10) International Publication Number
WO 03/021693 A2

(51) International Patent Classification⁷: H01L 45/00 (81) Designated States (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW.

(21) International Application Number: PCT/US02/26375 (84) Designated States (*regional*): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(22) International Filing Date: 20 August 2002 (20.08.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
09/944,478 31 August 2001 (31.08.2001) US

(71) Applicant: OVONYX, INC. [US/US]; 1090 Boeing Street, Boise, ID 83705 (US).

(72) Inventor: LOWREY, Tyler, A.; 516 Mill River Lane, San Jose, CA 95134 (US).

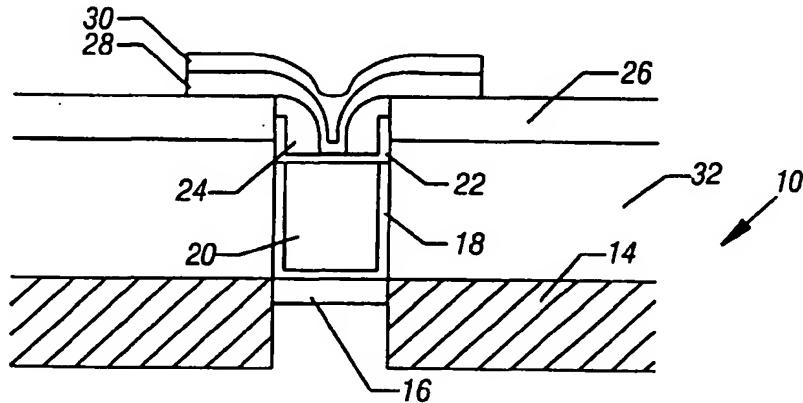
(74) Agents: TROP, Timothy, N. et al.; TROP, PRUNER & HU, P.C., 8554 Katy Freeway, Suite 100, Houston, TX 77024 (US).

Published:

— without international search report and to be republished upon receipt of that report

[Continued on next page]

(54) Title: ELEVATED PORE PHASE-CHANGE MEMORY



12

WO 03/021693 A2

(57) Abstract: An elevated phase-change memory cell (10) facilitates manufacture of phase-change memories by physically separating the fabrication of the phase-change memory components from the rest of the semiconductor substrate (12). In one embodiment, a contact (16) in the substrate (12) may be electrically coupled to a cup-shaped conductor (18) filled with an insulator (20). The conductor (18) couples current up to the elevated pore while the insulator (20) thermally and electrically isolates the pore.

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.

H01L 27/10

H01L 27/105

H01L 27/115

(11) 공개번호 10-2004-0032955

(43) 공개일자 2004년04월17일

(21) 출원번호 10-2004-7002594

(22) 출원일자 2004년02월23일

번역문제출원일자 2004년02월23일

(86) 국제출원번호 PCT/US2002/026375

(87) 국제공개번호 WO 2003/021693

(86) 국제출원출원일자 2002년08월20일

(87) 국제공개일자 2003년03월13일

(30) 우선권주장 09/944,478 2001년08월31일 미국(US)

(71) 출원인 오보닉스, 아이엔씨.

(72) 발명자 미국, 마이다호 83705, 보이스, 1090 보잉 스트리트
로우리타일러에미.(74) 대리인 미국캘리포니아95134산호세밀리버레인516
정진상, 박종혁

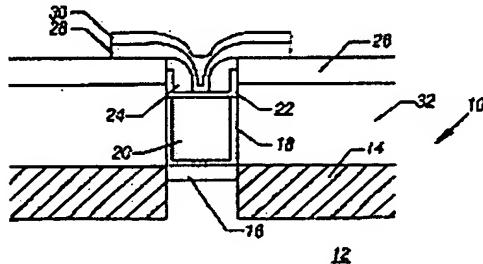
설사첨부 : 있음

(54) 엘리베이티드 포어 상변화 메모리

요약

엘리베이티드 상변화 메모리 셀(10)은 상변화 메모리 컨포넌트의 제조를 반도체 기판(12)의 그외의 컨포넌트로부터 물리적으로 분리시킴으로써 상변화 메모리의 제조를 수월하게 한다. 일상시예에 있어서, 기판(12)의 콘택트(16)는 절연체(20)로 채워진 컵형상의 도체(18)에 전기적으로 연결된다. 도체(18)는 엘리베이티드 포어까지 전류를 연급시키는 한편 절연체(20)는 포어를 열적으로 격리시킨다.

도표도



특징

상변화, 메모리, 포어, 기판, 절연층, 전극, 스페이서, 커넥션

광시서

기술분야

본원발명은 상변화 룹질을 사용하는 메모리에 관한 것이다.

특징기술

상변화 룹질은 적어도 2개의 다른 상태를 나타낸다. 그 상태는 소위 비정질 상태 및 결정 상태이다. 그 를 상태 사이의 천이는 온도 변화에 응답하여 선택적으로 개시된다. 일반적으로 비정질 상태는 결정 상태보다 더 높은 저항률을 나타내기 때문에 그를 상태는 구별될 수 있다. 비정질 상태는 더 무질서한 원자 구조와 연루되고 결정 상태는 더 질서정연한 원자 구조와 연루되어 있다. 일반적으로, 임의의 상변화 룹점이 이용될 수 있다. 그러나, 특정 실시예에 있어서는, 박막 구리(chalcogenide) 합금 룹점이 특히 적합하다.

상변화는 가역적으로 야기될 수 있다. 따라서, 메모리는 비정질 상태로부터 결정 상태로 변화한 후 다시 비정질 상태로 복귀할 수도 있고, 그 역으로도 가능하다. 실제로, 각각의 메모리 셀은 더 높은 저항 상태와 더 낮은 저항 상태의 사이에서 가역적으로 변화하는 프로그래밍 가능한 저항기로서 생각될 수 있다. 특정 상황에 있어서, 셀은 다수의 상태를 가질 수 있다. 즉, 각각의 상태는 그 저항에 의해 구별될 수 있기 때문에, 저항이 측정되는 상태는 다수 가능하여, 단일 셀에 다중 비트의 데이터를 저장 가능하게 한다.

다양한 상변화 합금이 알려져 있다. 구리 합금은 주기율표의 VI족 중 하나 이상의 원소를 함유하는 것이 일반적이다. 합금 중에서 특히 적합한 하나의 그룹은 GeSbTe 합금이다.

상변화 물질은 유전체 물질을 통하여 형성된 패시지 또는 포어내에 형성될 수 있다. 상변화 물질은 패시지의 어느 일단부상의 콘택트에 연결될 수 있다. 상태 전이는 전류를 인가하여 상변화 물질을 가열함으로써 야기될 수 있다.

상층의 상변화 물질을 활성화시키기 위하여 반도체 접적회로의 기판에 액세스 디바이스가 형성될 수 있다. 다른 상변화 메모리 캠포넌트도 반도체 기판에 접적될 수 있다. 접적 구조형상 위의 패터닝 형상은 하층의 접적 형상에 영향을 줄 수 있다. 따라서, 이전에 제조된 일의 접적 구조물과 간섭하지 않는 방식으로, 상변화 메모리를 그외의 접적회로 위에 형성하는 것이 바람직할 것이다.

상변화 메모리에 있어서 또 다른 문제는 각각의 메모리 셀로부터의 열손실이 커지면 커질수록 디바이스 프로그래밍을 위해 더 큰 전류가 인가되어야 한다는 것이다. 따라서, 가열된 상변화 물질로부터의 열손실탈을 감소시키는 것이 바람직할 것이다. 마찬가지로, 열을 상변화 물질 전체에 균일하게 분포시키는 것이 바람직하다. 그러나, 현재 제안된 많은 기술들은 프로그래밍 이벤트 후에 디바이스 저항에 있어서 국소적 편차를 보인다. 이러한 국소적 편차는 상변화 프로그래밍 등 안 국소적 영역에서의 스트레스도 초래 할 수 있다.

셀 크기를 가능한 많이 감소시켜서 제조 비용을 절감하는 것이 바람직할 것이다. 또한, 제조 단계를 최대한 감소시켜서 비용을 절감하는 것이 바람직할 것이다.

따라서, 향상된 상변화 메모리 및 그 제조 기술이 필요하다.

도면의 간단한 설명

도 1은 본원발명의 일실시예의 확대 횡단면도, 및

도 2A 내지 도 2I는 본원발명의 일실시예에 따라 도 1에 도시된 디바이스의 제조 공정의 확대 횡단면도.

본명의 상세한 설명

도 1을 참조하면, 상변화(phase-change) 메모리 셀(10)은 본원발명의 일실시예에 따라 엘리베이티드 포어(elevated pore)를 포함한다. 기판(12)은 베이스 콘택트(16)에 흐르는 전류를 제어하는 액세스 트랜지스터(도시되지 않음)를 포함하는 접적회로를 포함한다. 얇은 트렌치 경리 구조물(14)은 메모리 셀(10)을 기판(12)에 형성된 그외의 구조물로부터 격리시킨다. 기판(12) 위에는 본원발명의 일실시예에 따른 라이너 도체(liner conductor; 18)가 있다. 라이너 도체(18)는 관상 및 컵형상이고 본원발명의 일실시예에 따라 필 절연체(film insulator; 20)로 채워질 수 있는 개방된 중앙 영역을 형성한다. 라이너 도체(18)는 베이스 콘택트(16)로부터 윗방향으로 엘리베이티드 포어로 전류를 도통시킨다.

엘리베이티드 포어는 관상 및 컵형상일 수 있는 저항성 또는 하부 전극(22)을 포함한다. 하부 전극(22)의 내부에는 상변화층(28) 및 1상의 마주보는 스페이서(24)에 의해 형성된 포어가 있다. 또한, 본원발명의 일실시예에 의하면, 상변화층(28)은 컵형상이고 상부 전극(30)으로 채워진다. 상부 전극(30) 및 상변화 물질(28)은 본원발명의 일실시예에 따라 패터닝된다.

도 2A를 참조하면, 도 1에 도시된 구조물을 형성하는 공정은 에치스톱층(26) 및 유전체층(32)을 통하여 포어(34)를 형성함으로써 시작된다. 에치스톱층(26)은 다양한 주워층에 비해 에칭되려는 경향이 적은 물질로 되어 있다. 일실시예에 있어서, 에치스톱층(26)은 질화규소 또는 SiN이다.

도 2B를 보면, 라이너 도체(18)는 본원발명의 일실시예에 있어서 포어(34)내에 퇴적된다. 특정 실시예에 있어서, 라이너 도체(18)는 티타늄, 질화 티타늄, 텁스텐, 또는 그들 물질의 조합이다. 라이너 도체(18)는 원통형 포어(34)를 라이닝(lining)하고 필 물질(20)로 채워진다. 필 물질(20)은 단열 및 절연을 제공한다. 일실시예에 있어서, 필 물질(20)은 미산화규소이다.

다음에 도 2C를 보면, 도 2B에 도시된 구조물이 평단화된다. 본원발명의 일실시예에 있어서, 화학적 기적 평탄화(CMP) 공정은 평탄면(S)을 만들기 위해 이용된다. 에치스톱층(26)은 평탄화에 대해 잘 제어된 최종 스트로크 인아웃을 제공하도록 사용된다.

도 2D에 도시된 바와 같이, 필 물질(20)은 제어된 거리로 에칭된다. 따라서, 개구부(36)는 제어된 깊이로 형성된다. 본원발명의 일실시예에 있어서, 필 물질(20)의 에칭은 건식 절연체에 청으로 행해진다. 그 다음에 라이너 도체(18)가 에칭된다. 일실시예에 있어서, 라이너 도체(18)는 최소 오버에칭으로 들판 형상으로 에칭된다. 일실시예에 있어서, 라이너 도체(18)는 필 물질(20)의 에칭 후에 습식 에칭을 사용하여 에칭된다.

다음에, 도 2E에 도시된 바와 같이, 본원발명의 일실시예에 있어서, 저항성 또는 하부 전극(22)이 퇴적된다. 에치스톱층(26)의 상부면에서 개구부(36)는 하부 전극(22)으로 덮힌다. 그후, 전극(22)은 절연체(40)로 덮힌다. 하부 전극(22)은 라이너 도체(18)로의 전기적 커넥션을 형성하고, 충돌적으로 기판(12)의 콘택트(16)로의 전기적 커넥션을 형성한다.

그후, 도 2에 도시된 구조물은 도 2에 도시된 평탄화된 구조물을 만들기 위해 CMP 등의 평탄화 공정을 거친다. 그후, 라이너 도체(18)는 오목영역(E)을 형성하기 위해 오목에 청된다. 일실시예에 있어서, 오목에 청은 쇼트 습식 예청이다.

그 이후에, 도 2에 도시된 바와 같이, 포어(F)를 만들기 위해, 건식 또는 습식 절연체 예청 등의 예청 공정을 사용하여 절연체(40)가 제거되고, 하부 전극(22)이 노출된다. 그 이후에, 도 2에 도시된 바와 같이, 측벽 스페이서(24)가 형성된다. 스페이서(24)는 예를 들어 절연체 둘질을 퇴적시킨 후 퇴적된 절연체 둘질을 미방성으로 예청함으로써 통상적으로 형성된다. 일실시예에 있어서, 측벽 스페이서(24)는 질화규소 또는 이산화규소이다.

그후, 도 2에 도시된 바와 같이, 도 2에 도시된 구조물은 상변화층(28) 및 상부 전극층(30)으로 덮힌다. 일실시예에 있어서, 상변화층(28)은 컵형상이고, 측면의 스페이서(24) 및 바닥의 하부 전극(22)에 의해 형성된 포어내로 이랫방향으로 뻗어있다. 일실시예에 있어서, 상변화 둘질은 $6e\text{-Sb}_2\text{Te}_3$ 이다.

상부 전극(28)은 복수의 층이 쌓여진 것이다. 일실시예에 있어서, 그것은, 바닥에서부터 시작하여, 티타늄, 그 위에 질화 티타늄, 그 위에 알루미늄을 포함한다.

전기적 커넥션은 기판(12)의 베이스 콘택트(16)로부터 라이너 도체(18)를 통하여 하부 전극(22)으로 그후 상변화층(28)으로 확립된다. 최종적으로 특정 실시예에 있어서, 상변화층(28) 및 상부 전극(30)은 특정 실시예의 도 1에 도시된 구조물을 이루도록 페터닝된다.

특정 실시예에 있어서, 기판(12) 위에 포어를 엘리베이팅하는 것은 표준 상보형 금속 산화막 반도체(CMOS) 공정 률로에 상변화 메모리 셀의 진작화를 수월하게 한다. 특히, 포어를 엘리베이팅하는 것은 기판(12)의 질적회로 구조형상에 형상을 페터닝하는 것을 회피한다. 결과로서 포토리소그라피 스텝이 평탄면상에 있을 수 있다.

특정 실시예에 있어서, 열효율적인 디바이스 구조는 디바이스 프로그래밍에 필요한 전력을 감소시킴으로써 향상된 디바이스 성능을 제공한다. 상변화층(28)으로 표현된 프로그래밍 가능한 미디어 블록은 주위가 거의 단열된다.

하부 전극(22)은 더 낮은 전류에서 상변화를 만들기 위한 열을 제공한다. 특정 실시예에 있어서, 하부 전극(22)은 비교적 얕게 만들어져, 전극(22)을 통한 열손실을 감소시킨다. 또한, 특정 실시예에 있어서, 온도 분포는 프로그래밍 동안 더 균일하여, 프로그래밍 후에 디바이스 저항에 있어서의 더 적은 국소적 편차를 제공한다. 또한, 특정 실시예에 있어서, 이러한 구조는 상변화를 일으킬 때 국소적 영역에서의 스트레스를 더 적게 발현시키는 결과를 초래한다.

마찬가지로, 특정 실시예에 있어서, 셀 크기는 감소되어, 제조 비용을 절감할 수 있다. 특정 실시예에 있어서, 그 구조를 형성하는데 2개의 부가적인 마스크 단계만이 요구되어, 비용도 절감하고 공정 사이를 타임도 단축시킬 수 있다.

제한된 수의 실시예에 관하여 본원발명이 설명되었지만, 수많은 변형 및 수정이 가능할을 당업자는 인식 할 것이다. 첨부된 청구항은 본원발명의 범위 및 참사상내에서 그러한 모든 변형 및 수정을 포함한다.

(5) 청구의 범위

청구항 1. 반도체 구조물에 베이스 콘택트를 형성하는 단계;

상기 반도체 구조물을 층으로 덮는 단계;

상기 층을 통하여 상기 콘택트로의 전기적 커넥션을 형성하는 단계; 및

상변화 둘질을 살기 층 위에 형성하는 단계;를 포함하고, 상기 둘질은 상기 콘택트에 전기적으로 연결되는 것을 특징으로 하는 방법.

청구항 2. 제1항에 있어서, 상기 반도체 구조물을 층으로 덮는 단계는 상기 구조물을 적어도 하나의 절연층으로 덮는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 3. 제2항에 있어서, 상기 절연층을 통하여 패시지를 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 4. 제3항에 있어서, 상기 패시지를 통하여 전기적 커넥션을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 5. 제4항에 있어서, 전기적 커넥션을 형성하는 단계는 컵형상의 전기적 커넥션을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 6. 제5항에 있어서, 상기 컵형상의 전기적 커넥션을 절연체로 채우는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 7. 제6항에 있어서, 상기 컵형상의 커넥션에 연결된 하부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 8. 제7항에 있어서, 컵형상의 하부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 9. 제8항에 있어서, 상기 컵형상의 하부 전극에 측벽 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 10. 제9항에 있어서, 상변화 둘질을 형성하는 단계는 상기 스페이서 및 상기 절연층 위에 상변화 둘질을 퇴적시키고 상기 하부 전극을 전기적으로 접촉시키는 단계를 포함하는 것을 특징으로 하는 방

법.

청구항 11. 반도체 구조음:

상기 반도체 구조를상에 형성된 베이스 콘택트;

상기 반도체 구조를 위의 절연층;

상기 절연층을 통하여 형성되고, 전기적 커넥션을 포함하는 패시지; 및

상기 전기적 커넥션에 전기적으로 연결된 상변화 룰질;을 포함하는 것을 특징으로 하는 메모리.

청구항 12. 제11항에 있어서, 상기 전기적 커넥션은 컵형상인 것을 특징으로 하는 메모리.

청구항 13. 제12항에 있어서, 하부 전극을 포함하는 것을 특징으로 하는 메모리.

청구항 14. 제13항에 있어서, 상기 하부 전극상의 측벽 스페이서를 포함하는 것을 특징으로 하는 메모리.

청구항 15. 제14항에 있어서, 상변화 룰질은 상기 측벽 스페이서 위에 상기 하부 전극과 접촉하여 형성되는 것을 특징으로 하는 메모리.

청구항 16. 제15항에 있어서, 상기 컵형상의 전기적 커넥션내 절연 룰질을 포함하는 것을 특징으로 하는 메모리.

청구항 17. 제16항에 있어서, 상기 하부 전극은 컵형상인 것을 특징으로 하는 메모리.

청구항 18. 제17항에 있어서, 상기 하부 전극은 상기 절연층의 상부면 아래로 오목하게 들어간 것을 특징으로 하는 메모리.

청구항 19. 제18항에 있어서, 상기 상변화 룰질 위의 상부 전극을 포함하는 것을 특징으로 하는 메모리.

청구항 20. 반도체 구조음:

상기 반도체 구조를 위에 이격되어 있는 상변화 룰질; 및

상기 상변화 룰질을 상기 반도체 구조음에 전기적으로 연결하는 관상 커넥션;을 포함하는 것을 특징으로 하는 메모리.

청구항 21. 제20항에 있어서, 상기 반도체 구조를 위의 절연층을 포함하는 것을 특징으로 하는 메모리.

청구항 22. 제21항에 있어서, 상기 절연층을 통하여 형성된 패시지를 포함하는 것을 특징으로 하는 메모리.

청구항 23. 제22항에 있어서, 상기 패시지는 상기 관상 커넥션으로 라이닝되는 것을 특징으로 하는 메모리.

청구항 24. 제20항에 있어서, 상기 상변화 룰질 및 상기 커넥션에 전기적으로 연결된 하부 전극을 포함하는 것을 특징으로 하는 메모리.

청구항 25. 제24항에 있어서, 상기 하부 전극은 관상인 것을 특징으로 하는 메모리.

청구항 26. 제20항에 있어서, 상기 커넥션은 컵형상인 것을 특징으로 하는 메모리.

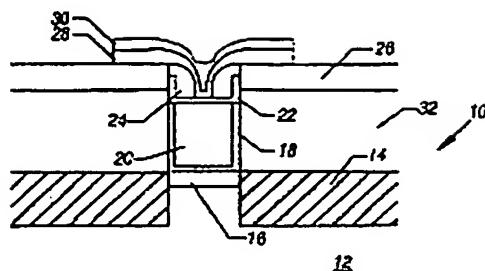
청구항 27. 제26항에 있어서, 상기 하부 전극은 컵형상인 것을 특징으로 하는 메모리.

청구항 28. 제27항에 있어서, 상기 전극과 상기 상변화 룰질의 사이 및 상기 전극 위의 측벽 스페이서를 포함하는 것을 특징으로 하는 메모리.

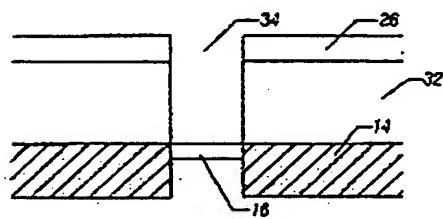
청구항 29. 제20항에 있어서, 상기 측벽 스페이서는 상기 패시지내에 위치결정되고 상기 측벽 스페이서는 원통형인 것을 특징으로 하는 메모리.

청구항 30. 제29항에 있어서, 상기 상변화 룰질 위의 상부 전극을 포함하는 것을 특징으로 하는 메모리.

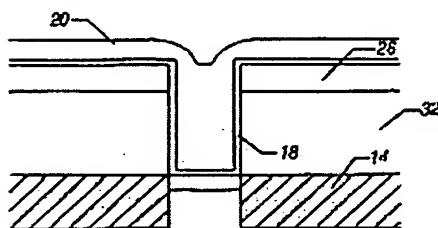
도면

521

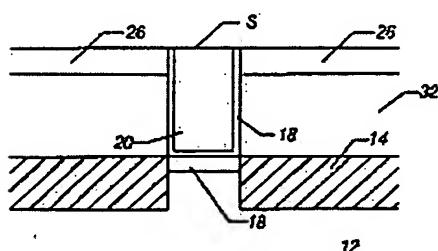
12

522

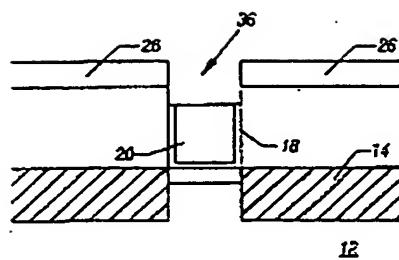
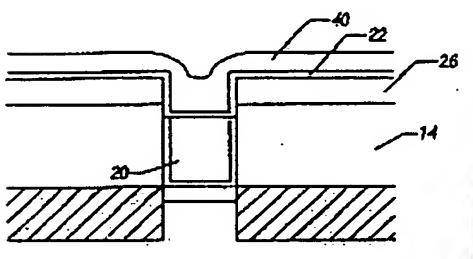
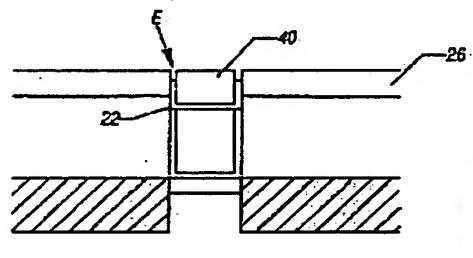
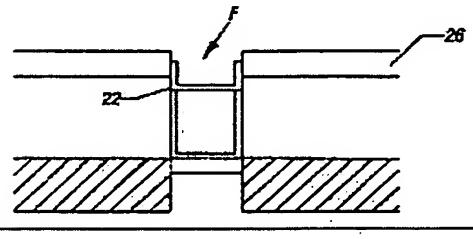
12

523

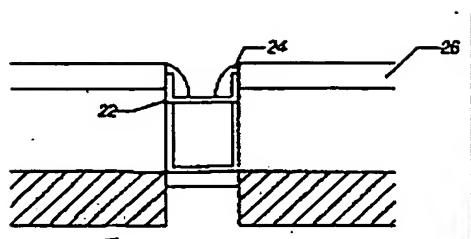
12

524

12

~~FIG. 20~~~~FIG. 21~~~~FIG. 22~~~~FIG. 23~~

5021



5021

